

2
5/23/02
Molish
Jc872 U.S. PTO
10/078346
02/21/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Osamu BABA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **February 21, 2002**

For: **HIGH FREQUENCY SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

February 21, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-099954, filed March 30, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 020123
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/ll

日本国特許庁
JAPAN PATENT OFFICE

756/
jc872 U.S. PTO
10/078346
02/21/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月30日

出願番号

Application Number:

特願2001-099954

出願人

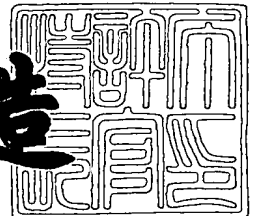
Applicant(s):

富士通カンタムデバイス株式会社

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3111294

【書類名】 特許願

【整理番号】 0100094

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明の名称】 高周波半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士
通カンタムデバイス株式会社内

【氏名】 馬場 修

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士
通カンタムデバイス株式会社内

【氏名】 耳野 裕

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100072590

【弁理士】

【氏名又は名称】 井桁 貞一

【電話番号】 044-754-2462

【手数料の表示】

【予納台帳番号】 011280

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 1 - 0 9 9 9 5 4

【物件名】 要約書 1

【包括委任状番号】 9721483

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に設けられ、接地電位に接続された接地プレートとの間で伝送線路を構成する複数の配線層と、前記複数の配線層が層間絶縁膜を介して交差する交差部と、前記交差部における層間絶縁膜に選択的に設けられ、接地電位に接続された分離電極と、を備えることを特徴とする高周波半導体装置の多層配線構造。

【請求項 2】 前記分離電極は、前記半導体基板上における前記伝送線路の長さに比べて充分小さいことを特徴とする請求項 1 記載の高周波半導体装置の多層配線構造。

【請求項 3】 前記交差部が複数存在しており、当該交差部に個別に設けられた複数の前記分離電極を備えることを特徴とする請求項 1 記載の高周波半導体装置の多層配線構造。

【請求項 4】 前記複数の分離電極同士が電氣的に直接に接続されることを特徴とする請求項 3 記載の高周波半導体装置の多層配線構造。

【請求項 5】 前記複数の分離電極は、共通の電極を通じて接地電位に接続されることを特徴とする請求項 2 記載の高周波半導体装置の多層配線構造。

【請求項 6】 前記複数の分離電極は同じ層間絶縁膜上に設けられ、当該層間絶縁膜上を延在する接続配線によって電氣的に直接に接続されることを特徴とする請求項 4 記載の高周波半導体装置の多層配線構造。

【請求項 7】 前記複数の分離電極は異なる層間絶縁膜上に設けられ、層間絶縁膜を貫通するスルーホールによって電氣的に直接に接続されることを特徴とする請求項 4 記載の高周波半導体装置の多層配線構造。

【請求項 8】 前記交差部が複数存在しており、複数の交差部に共通して単一の分離電極が設けられたことを特徴とする請求項 1 記載の高周波半導体装置の多層配線構造。

【請求項 9】 前記複数の交差部は高さ方向の位置が異なっており、当該複数の交差部に共通に介在する層間絶縁膜に前記複数の分離電極を設けたことを特

徴とする請求項 3 記載の高周波半導体装置の多層配線構造。

【請求項 1 0】 前記複数の交差部は高さ方向の位置が異なり、当該複数の交差部に共通に介在する層間絶縁膜に前記単一の分離電極を設けたことを特徴とする請求項 8 記載の高周波半導体装置の多層配線構造。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は高周波半導体装置に係り、特に、GHz 以上の高周波帯域で用いられる 1 チップに集積化されたマイクロ波集積回路 (MMIC) の多層配線構造に関する。

【 0 0 0 2 】

【従来の技術】

HEMT や HBT 等の高速半導体素子をキャパシタや抵抗等の受動素子とともに半導体基板上に集積化した MMIC では、素子間における信号伝送用配線として高周波帯域における信号伝送特性の良好なマイクロストリップ型の伝送線路が用いられる。また、MMIC の高密度化のためこれらの伝送線路は、通常多層化される。

【 0 0 0 3 】

図 5 は多層配線構造を有する従来の MMIC を示す断面図であり、図 5 (a) は平面図、図 5 (b) は AA 断面図である。同図に見られるように、GaAs 基板 1 の表面には HEMT 等の能動素子 2、キャパシタや抵抗等の受動素子 3 が形成されており、これらのデバイスは表面絶縁膜 4 で覆われ、この表面絶縁膜 4 の上に接地電位に固定された接地プレート 5 が形成される。そして、接地プレート 5 の上には、必要とされる配線層数に応じて層間絶縁膜と配線層が交互に積層形成される。

【 0 0 0 4 】

図 5 には、配線層 51、53、55 が層間絶縁膜 50、52、54 を間に挟んで交互に積層された 3 層配線構造が示されている。各配線層 51、53、55 は最下層に形成されている接地プレート 5 と対になってそれぞれ伝送線路を構成している。各配線層間

及び配線層とデバイスの間は必要に応じてスルーホール（図示せず）を介して接続される。

【0005】

上述した多層配線構造を有するMMICでは、回路配置上配線層同士が交差する場合が生じる。図5に示した構成では、第1層目の配線層51が層間絶縁膜52を間に挟んで第2層目の配線層53と交差し、同時に層間絶縁膜52、54を間に挟んで第3層目の配線層55と交差している。

【0006】

以上のように配線層が交差する場合、配線層によって構成された伝送線路を伝搬する信号が交差部において相互に干渉し信号漏洩等の伝送特性の劣化が生じる。これを防ぐため、交差する上下の配線層の間にもう一層層間絶縁膜を形成し、この上に分離プレートを立てて配線層を電氣的に分離する方法が用いられる。

【0007】

図6は改良されたMMICの多層配線構造を示す断面図であり、図5の構成と比較すると、配線層51と交差する配線層53、55の間に新たな層間絶縁膜56を挿入し、その上に全面にわたって分離プレート57を立てている。同図において、第1層目の配線層51は接地プレート5と対になってマイクロストリップ型の伝送線路を構成し、また、第2層目及び第3層目の配線層53及び55は分離プレート57と対になってそれぞれ同様な伝送線路を構成しており、これによって交差する伝送線路が電氣的に分離されることになる。

【0008】

【発明が解決しようとする課題】

図6に示した多層配線構造は交差部における伝送線路間の干渉を防ぐ上で効果的であるが、新たに分離プレートを形成するための層間絶縁膜を設ける必要があり、これによって層間絶縁膜の層数が増加し多層配線構造全体の厚みが増加することになる。

【0009】

一方、配線層同士あるいは配線層と半導体デバイスの間は、回路設計上の必要に応じてスルーホールを介して接続されるが、最上層の配線層と半導体デバイス

とを接続する場合には、積層された全ての層間絶縁膜を貫通するスルーホールを形成しなければならない。しかし、上述のような層間絶縁膜の層数増加により全体の膜厚が厚くなると微小なスルーホール加工を行うことがプロセス上難しくなる。

【 0 0 1 0 】

そのため、各層間絶縁膜の膜厚を薄くして全体の膜厚増加を抑えるようにすると、その層間絶縁膜を介して構成されている伝送線路の特性インピーダンスが低下し伝送特性が劣化する。これを避けて伝送線路の特性インピーダンスを所定の値に保持しようとするれば配線層の幅を狭くする必要があり、これによって伝送損失が増加するという問題が生じる。

【 0 0 1 1 】

そこで、本発明は、交差する配線層間の干渉を防止し且つ伝送損失を抑えることを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記課題の解決は、半導体基板上に設けられ、接地電位に接続された接地プレートとの間で伝送線路を構成する複数の配線層と、前記複数の配線層が層間絶縁膜を介して交差する交差部と、前記交差部における層間絶縁膜に選択的に設けられ、接地電位に接続された分離電極と、を備えることを特徴とする半導体装置の多層配線構造、あるいは、

前記分離電極は、前記半導体基板上における前記伝送線路の長さに比べて充分小さいことを特徴とする上記半導体装置の多層配線構造、あるいは、

前記交差部が複数存在しており、当該交差部に個別に設けられた複数の前記分離電極を備えることを特徴とする上記半導体装置の多層配線構造、あるいは、

前記複数の分離電極同士が電氣的に直接に接続されることを特徴とする上記半導体装置の多層配線構造、あるいは、

前記複数の分離電極は、共通の電極を通じて接地電位に接続されることを特徴とする上記半導体装置の多層配線構造、あるいは、

前記複数の分離電極は同じ層間絶縁膜上に設けられ、当該層間絶縁膜上を延在

する接続配線によって電氣的に直接に接続されることを特徴とする上記の半導体装置の多層配線構造、あるいは、

前記複数の分離電極は異なる層間絶縁膜上に設けられ、層間絶縁膜を貫通するスルーホールによって電氣的に直接に接続されることを特徴とする上記の半導体装置の多層配線構造、あるいは、

前記交差部が複数存在しており、複数の交差部に共通して単一の分離電極が設けられたことを特徴とする上記の半導体装置の多層配線構造、あるいは、

前記複数の交差部は高さ方向の位置が異なっており、当該複数の交差部に共通に介在する層間絶縁膜に前記複数の分離電極を設けたことを特徴とする上記の半導体装置の多層配線構造、あるいは、

前記複数の交差部は高さ方向の位置が異なっており、当該複数の交差部に共通に介在する層間絶縁膜に前記単一の分離電極を設けたことを特徴とする上記の半導体装置の多層配線構造、によって達成される。

【0013】

本発明では、交差する配線層は交差部に選択的に設けた分離電極によって電氣的に分離されるため互いに干渉することがなく、また、半導体基板上における交差部以外の領域で配線層は接地プレートと対になって通常の伝送線路を構成するため伝送損失は配線層が交差しない場合と変わらず、従って、分離電極の大きさを伝送線路長に比べて充分小さくすることにより伝送線路全体の伝送損失を従来より小さくすることができる。

【0014】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。図1(a)は本発明の実施例に係るMMICの平面図、図1(b)はAA断面図である。同図に見られるように、GaAs基板1の表面にHEMT等の能動素子2、MIMキャパシタや抵抗等の受動素子3が形成されており、この上にこれらのデバイスを外部雰囲気から保護するための表面絶縁膜4が形成される。表面保護膜4として窒化シリコン等の安定な材料が用いられる。そして、表面保護膜4の上に接地電位に固定された接地プレート5を形成し、この上に第1層目の層間絶縁膜6、第1層目の配線層7、第

2層目の層間絶縁膜8、分離電極9、第3層目の層間絶縁膜10、第2層目の配線層11が形成される。

【0015】

層間絶縁膜6、8、10の材料として、ポリイミド等の誘電率の低い有機樹脂が用いられる。また、接地プレート5、配線層7、11及び分離電極9の材料として金等の導電性材料が用いられる。分離電極9はスルーホール12を介して接地プレート5と接続される。

【0016】

図1に見られるように、分離電極9は配線層7と配線層11が交差する領域に層間絶縁膜8、10を介して選択的に設けられるものであり、交差部で配線層7と配線層11を電氣的に分離する機能を有している。配線層7、11は交差部以外の領域ではそれぞれ接地プレート5と対になって伝送線路を構成している。

【0017】

一般に、マイクロストリップ型の伝送線路を伝搬する信号の横方向の広がり範囲は、対となる電極間距離の3倍程度に留まることが知られている。従って、交差部における伝送線路間の干渉を防ぐためには、図1に示したように、層間絶縁膜8、10の膜厚をそれぞれ d_1 、 d_2 としたとき、配線層7、11の配線幅方向に対する分離電極9の広がり幅 L_1 、 L_2 を以下のように設定すればよいことになる。

【0018】

$$L_1 \leq 3 \times d_1, \quad L_2 \leq 3 \times d_2$$

配線層7、11の信号伝搬方向の長さと比較して層間絶縁膜8、10の膜厚 d_1 、 d_2 は充分小さいので、 L_1 と L_2 で定まる分離電極9の大きさは配線層7、11の配線長に比べて無視できる程度となる。従って、交差部を除く大部分の領域で配線層7、11は接地プレート5と対になって伝送線路を構成することになり、伝送線路の伝送損失を従来より小さくすることが可能となる。

【0019】

即ち、配線層7、11は分離電極9によって交差部で分離されるため互いに干渉することがなく、且つ各配線層7、11によってそれぞれ構成される伝送線路の伝

送特性は分離電極9の大きさによって定まる微小な領域でのみの低下に留まるため、全体としての伝送特性の低下、伝送損失を無視できる程度に抑えることが可能となる。

【0020】

上記実施例では、2層配線構造を有し且つ交差部が1カ所のMMICについて述べたが、配線層数が増加し且つ交差部が複数となった場合においても、以下に述べるように分離電極を配置することにより先の実施例と同等の効果を得ることができる。

【0021】

図2～図4は本発明の他の実施例を示す断面図であり、分離電極の配置についての他の例を示したものである。図5と同一のものには同一番号を付してあり、また、図中、13、15、17、19、21はそれぞれ層間絶縁膜、14、16、20、22はそれぞれ配線層、18は分離電極を示している。

【0022】

図2は、配線層が半導体基板上においてそれぞれ層間絶縁膜を介して複数個所で交差する例を示したものであり、各交差部に個別に分離電極を設けている。さらに、これらの分離電極を別に設けた配線によって電氣的に接続し、所定電位、たとえば接地電位に固定することにより伝送特性をより安定化させることができる。

【0023】

図3は複数存在する交差部が基板上で互いに近接して存在する複数のグループに分けられる場合を示しており、同じグループに属する複数の配線層に対して共通の分離電極を設けるとともに他のグループに属する配線層に対しては別の分離電極を設けたものである。前述のように分離電極同士を配線23で接続し接地電位に固定するようにしてもよい。

【0024】

また、図4に示したように、複数の交差部で配線層がそれぞれ異なる層間絶縁膜上に形成されている場合にはそれに応じて分離電極をそれぞれ異なる層間絶縁膜上に設け、これらの分離電極を層間絶縁膜を貫通するスルーホールによって電

氣的に接続するようにする。

【 0 0 2 5 】

【発明の効果】

以上のように本発明によれば、伝送線路の交差部に選択的に分離電極を設けることにより伝送線路の干渉を防止することができ、且つ伝送損失を最小限に抑えることができるので、多層配線構造を有する高周波半導体装置の特性を向上させる上で有益である。

【図面の簡単な説明】

【図 1】 本発明の実施例を示す図。(a) は平面図、(b) は A A 断面図。

【図 2】 本発明の他の実施例を示す断面図 (その 1)。

【図 3】 本発明の他の実施例を示す断面図 (その 2)。

【図 4】 本発明の他の実施例を示す断面図 (その 3)。

【図 5】 従来例を示す図。(a) は平面図、(b) は A A 断面図。

【図 6】 他の従来例を示す断面図。

【符号の説明】

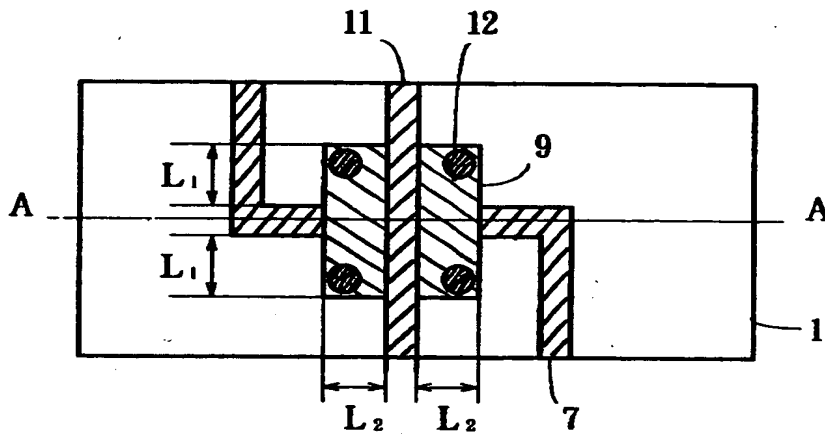
- 1 GaAs基板
- 4 表面絶縁膜
- 5 接地プレート
- 6、8、10、13、15、17、19 層間絶縁膜
- 7、11、16、20、22 配線層
- 9、18 分離電極
- 12、24 スルーホール

【書類名】 図面

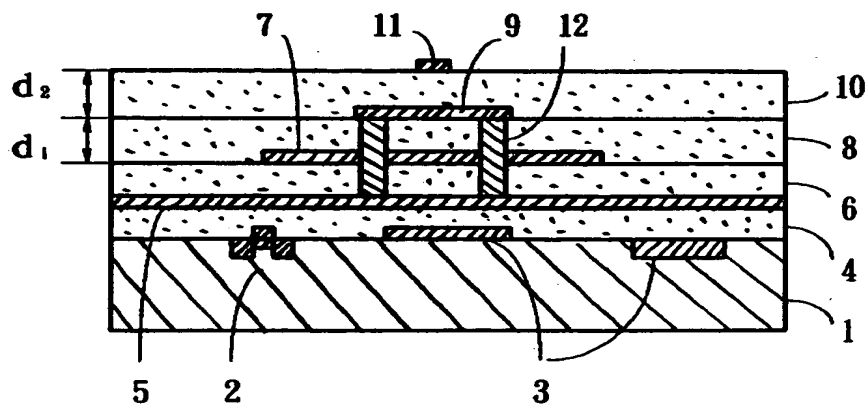
【図 1】

本発明の実施例を示す図

(a) 平面図

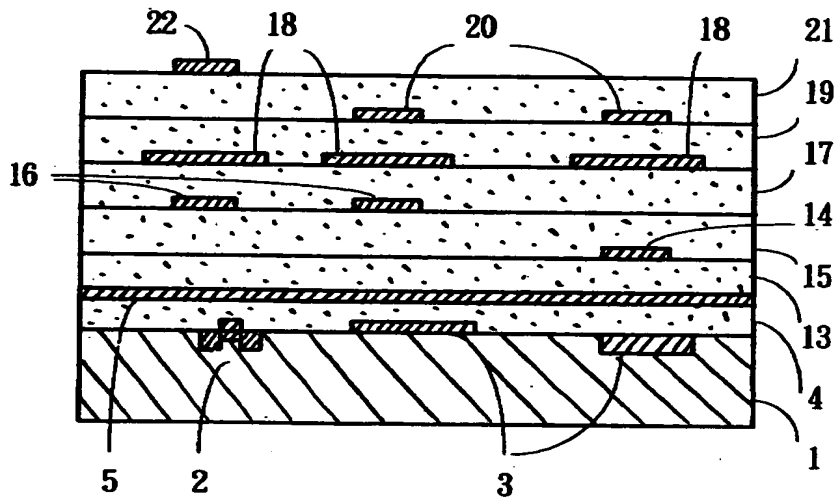


(b) AA断面図



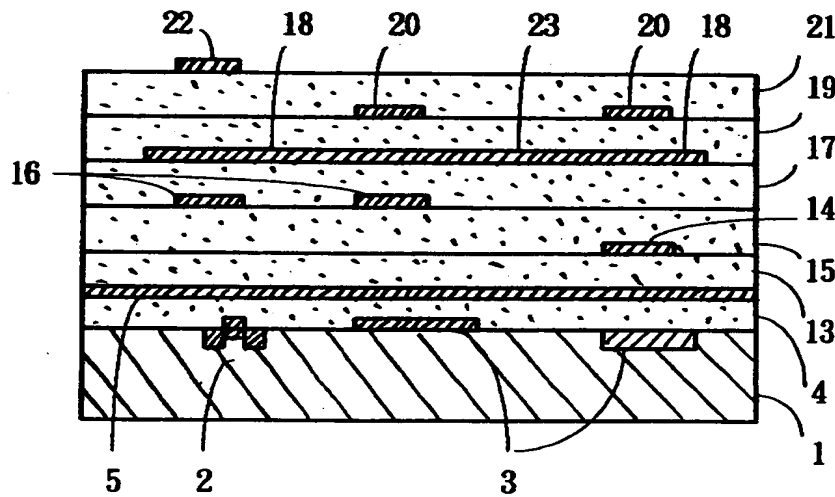
【図 2】

本発明の他の実施例を示す断面図（その 1）



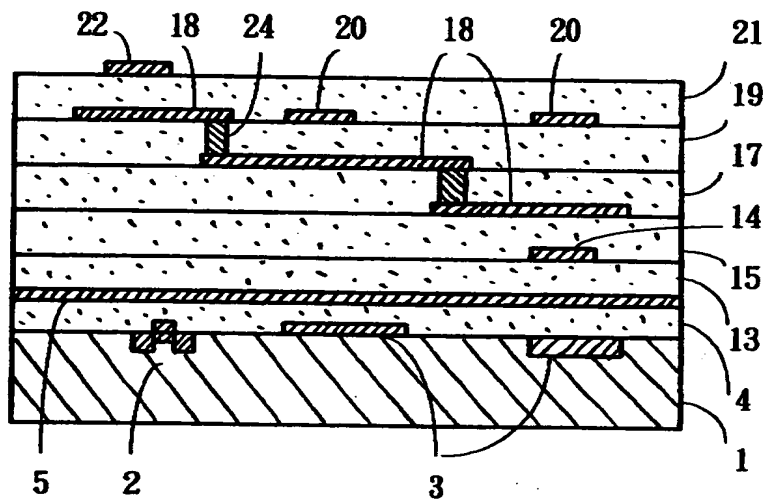
【図 3】

本発明の他の実施例を示す断面図（その 2）



【図 4】

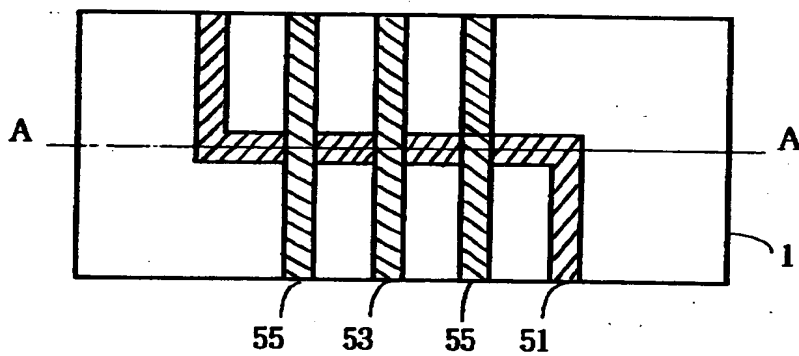
本発明の他の実施例を示す断面図（その 3）



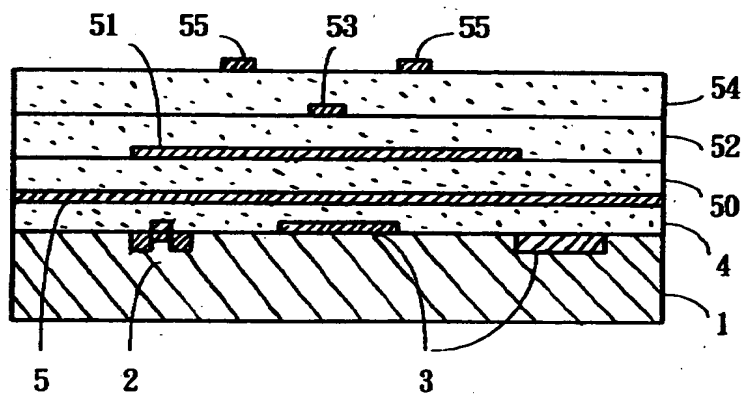
【図 5】

従来例を示す図

(a) 平面図

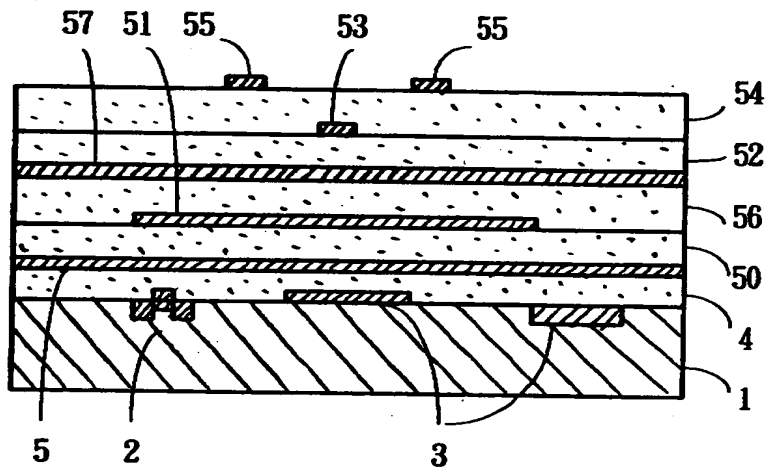


(b) AA断面图



【図 6】

他の従来例を示す断面図



【書類名】 要約書

【要約】

【課題】 高周波半導体装置に関し、交差する配線層間の干渉を防止し且つ伝送損失を抑えることを目的とする。

【解決手段】 半導体基板上に設けられ、接地電位に接続された接地プレートとの間で伝送線路を構成する複数の配線層と、前記複数の配線層が層間絶縁膜を介して交差する交差部と、前記交差部における層間絶縁膜に選択的に設けられ、接地電位に接続された分離電極とを備えるように構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000154325]

1. 変更年月日 1992年 4月 6日
[変更理由] 名称変更
住 所 山梨県中巨摩郡昭和町大字紙漣阿原1000番地
氏 名 富士通カンタムデバイス株式会社